

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 03156965  
PUBLICATION DATE : 04-07-91

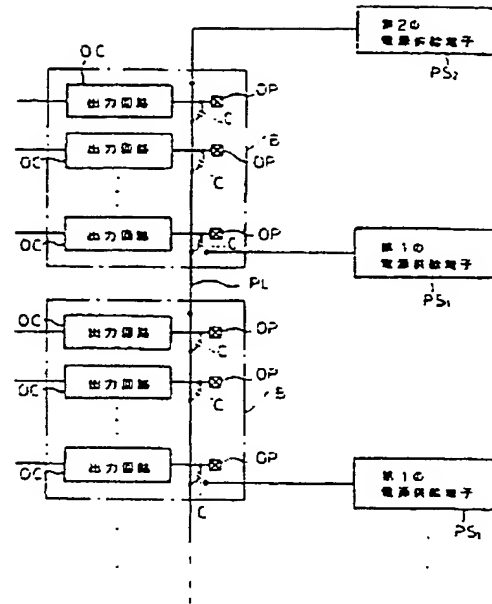
APPLICATION DATE : 15-11-89  
APPLICATION NUMBER : 01295091

APPLICANT : FUJITSU LTD;

INVENTOR : IWASAKI TOMONOBU;

INT.CL. : H01L 27/04 H01L 21/3205

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT DEVICE



ABSTRACT : PURPOSE: To prevent a noise of an output signal by a large electric current and to increase a static-electricity breakdown strength of an output terminal by a method wherein a plurality of output circuits are divided into the required number of blocks, respective dedicates power supplies for source use are installed and the power supplied for source use and power supplies for substrate-potential fixation use are set to an identical potential and separate power supplies.

CONSTITUTION: By using a plurality of first power-supply feed terminals  $PS_1$  corresponding to the number of blocks B which have divided a plurality of output circuits OC, a voltage is applied to sources of the output circuits OC inside the individual blocks B. A voltage whose potential is identical to that of the first power-supply feed terminals  $PS_1$  is applied, at a second power-supply feed terminal  $PS_2$ , to a substrate including the plurality of output circuits OC; a substrate potential is fixed. Consequently, when static electricity is applied to terminals OP of the arbitrary output circuits OC, an excess voltage by the static electricity is dispersed to capacity components C attached to the terminals OP of the plurality of output circuits OC via a common interconnection PL of the second power-supply feed terminal  $PS_2$ . Thereby, it is possible to prevent a noise of an output signal by a large electric current and to increase a static-electricity breakdown strength of an output terminal.

COPYRIGHT: (C)1991,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-156965

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月4日

H 01 L 27/04  
21/3205

D 7514-5F

6810-5F

H 01 L 21/88

Z

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-295091

⑰ 出 願 平1(1989)11月15日

⑱ 発 明 者 岩 崎 智 信 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 木 朗 外4名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 複数の出力回路(OC)を所定数のブロック(B)に分割して多大電流による出力信号のノイズを防止するようにした半導体集積回路装置であって、

前記各ブロック内における出力回路のソースに対して該各ブロック毎に電圧を印加する複数の第1の電源供給端子(PS<sub>1</sub>)と、

前記複数の出力回路を含む基板に対して前記第1の電源供給端子と同電位の電圧を共通に印加して基板電位を固定する第2の電源供給端子(PS<sub>2</sub>)とが集積回路チップ上にそれぞれ独立して設けられていることを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

(概 要)

複数の出力回路を所定数のブロックに分割した半導体集積回路装置に関し、

多大電流による出力信号のノイズを防止すると

共に、出力端子の静電気耐圧を増大することを目的とし、

複数の出力回路を所定数のブロックに分割して多大電流による出力信号のノイズを防止するようにした半導体集積回路装置であって、前記各ブロック内における出力回路のソースに対して該各ブロック毎に電圧を印加する複数の第1の電源供給端子と、前記複数の出力回路を含む基板に対して前記第1の電源供給端子と同電位の電圧を共通に印加して基板電位を固定する第2の電源供給端子とが集積回路チップ上にそれぞれ独立して設けられるように構成する。

(産業上の利用分野)

本発明は、半導体集積回路装置に関し、特に、複数の出力回路を所定数のブロックに分割した半導体集積回路装置に関する。

半導体集積回路装置の高速化に伴って出力回路の低インピーダンス化が進み、複数の出力回路の端子が同時に変化する場合、多大の電流が瞬時に

流れて出力信号にノイズが含まれることがある。この出力信号のノイズ成分により、例えば、次第に接続された回路が暴動作することがあった。さらに、半導体集積回路装置にとっては、外部からの静電気に対する耐圧を向上することも必要であり、出力信号のノイズを防止しつつ出力端子の静電気耐圧を増大することが要望されている。

#### 〔従来の技術〕

従来、半導体集積回路装置の高速化に伴って出力回路の低インピーダンス化が進み、複数の出力回路の端子が同時に変化する場合、多大の電流が瞬時に流れて出力信号にノイズが含まれることがあるが、この出力信号のノイズを防止するために、複数の出力回路を所定数のブロックに分割した半導体集積回路装置が提案されている。

第6図は従来の半導体集積回路装置の一例を示す図である。同図に示される半導体集積回路装置は、例えば、8つの出力回路  $0C_{0.1}$ 、 $0C_{0.2}$ 、 $0C_{0.3}$ 、 $0C_{0.4}$ 、 $0C_{0.5}$ 、 $0C_{0.6}$ 、 $0C_{0.7}$ 、 $0C_{0.8}$ 、…をそれぞれ1つのブロック  $B_{0.1}$ 、 $B_{0.2}$ 、…に

(3)

分割し、各ブロック  $B_{0.1}$ 、 $B_{0.2}$ 、…毎に専用の電源電圧  $V_{CC_{0.1}}$ 、 $V_{SS_{0.1}}$ 、 $V_{CC_{0.2}}$ 、 $V_{SS_{0.2}}$ 、…を印加するように構成したものは、出力端子の静電気耐圧が低下することになっていた。

第7図は第6図の半導体集積回路装置の出力部を示す断面図である。同図に示されるように、出力部は、例えば、 $P^+$ 型半導体基板716に形成された $n^+$ ウェル715内に、出力回路パッド（出力回路の端子） $0P_{0.1}$ に接続された $P^+$ 不純物領域（出力回路のトランジスタのドレイン領域）712と、基板電位（ウェル電位）を固定するための電圧  $V_{CC_{0.1}}$  が印加された $n^+$ 基板コンタクト領域711、714と、同じく電圧  $V_{CC_{0.1}}$  が印加された $P^+$ 不純物領域（出力回路のトランジスタのソース領域S）713とで構成されている。

ところで、出力パッド  $0P_{0.1}$  にプラスの電位の静電気が印加された場合、その過電圧をクランプするために電流が流れる電流ルートの1つとして第7図の太線に示されるような、すなわち、ドレイン領域712からウェル715、基板コンタクト領域

(5)

…とし、各ブロック毎に専用の電源電圧が印加されるように構成されている。すなわち、ブロック  $B_{0.1}$  に対しては  $V_{CC_{0.1}}$  および  $V_{SS_{0.1}}$  が印加され、ブロック  $B_{0.2}$  に対しては  $V_{CC_{0.2}}$  および  $V_{SS_{0.2}}$  が印加されている。これにより、複数の出力回路の端子が同時に変化する場合でも、1つの電源に瞬時に流れる電流をブロックに対応させて分割し、出力信号のノイズを防ぐようになされている。

#### 〔発明が解決しようとする課題〕

上述したように、従来、多大電流による出力信号のノイズを防止するために複数の出力回路を所定数のブロックに分割した半導体集積回路装置が提案されている。ところで、半導体集積回路装置としては、多大電流による出力信号のノイズを防止することだけでなく、出力端子の静電気耐圧を強化（増大）することも必要である。

しかし、第6図に示す従来の半導体集積回路装置のように、複数の出力回路  $0C_{0.1}$ 、 $0C_{0.2}$ 、 $0C_{0.3}$ 、 $0C_{0.4}$ 、 $0C_{0.5}$ 、 $0C_{0.6}$ 、 $0C_{0.7}$ 、 $0C_{0.8}$ 、…を所定数のブロック  $B_{0.1}$ 、 $B_{0.2}$ 、…に

(4)

711 および電源線（アルミ配線） $PL_0$  を介して電源（電極） $V_{CC_{0.1}}$  に接するものがある。ここで、電極  $V_{CC_{0.1}}$  までのインピーダンスが小さければ小さいほど、電流が流れやすく過電圧を速くクランプすることができる。しかし、通常、アルミ配線  $PL_0$  には抵抗成分  $R_0$  が存在するため、静電気が印加された出力パッド  $0P_{0.1}$  に近い個所のアルミ配線  $PL_0$  のインピーダンスが小さいほど、電流が一層流れやすく静電気破壊に強いことになる。すなわち、電源周りの接合容量が大きいほど、出力端子の静電気耐圧が増大することになる。

しかし、前述した第6図のような多大電流による出力信号のノイズを防止するために複数の出力回路を所定数のブロックに分割し、各ブロック毎に専用の電源電圧を印加するように構成すると、各ブロック内における出力パッドに付加する容量分しか利用することができず、他のブロックにおける出力パッドに付加する容量分を利用することができない。そのため、第6図のような複数の出力回路を所定数のブロックに分割した半導体集積

(6)

回路装置は、ブロックに分割しないものよりも静電気耐圧が低くなっていた。

具体的に、第6図の半導体集積回路装置において、出力パッド $OP_{0,1}$ に静電気が印加された場合、ブロック $B_{0,1}$ 内の出力回路パッド $OP_{0,1} \sim OP_{0,n}$ および他のブロック内の出力回路パッドに付加する容量分は、アルミ配線 $PL$ のインピーダンス低下に寄与することではなく、ブロック $B_{0,1}$ 内の出力回路パッド $OP_{0,1} \sim OP_{0,n}$ に付加する容量分だけがアルミ配線 $PL$ のインピーダンスを低下させることになり、出力端子の静電気耐圧を十分に増大することができなかった。

本発明は、上述した従来の半導体集積回路装置が行う課題に鑑み、多大電流による出力信号のノイズを防止すると共に、出力端子の静電気耐圧を増大することを目的とする。

(課題を解決するための手段)

第1図は本発明に係る半導体集積回路装置の原理を示すブロック回路図である。

(7)

電源供給端子 $PS_1$ と同電位の電圧が第2の電源供給端子 $PS_2$ により印加され、基板電位(ウェル電位)が固定される。これにより、任意の出力回路 $OC$ の端子(出力パッド) $OP$ に静電気が印加された場合、該静電気による過電圧は第2の電源供給端子 $PS_2$ の共通配線 $PL$ を介して複数の出力回路 $OC$ の端子 $OP$ に付加された容量分 $C$ に分散され、出力端子の静電気耐圧が増大されることになる。

このように、本発明の半導体集積回路装置は、複数の出力回路を所定数のブロックに分割してそれぞれ専用のソース用電源を設け、該ソース用電源と基板電位固定用電源とを同電位だけでも別電源とすることによって、多大電流による出力信号のノイズを防止すると共に、出力端子の静電気耐圧を増大することができる。

(実施例)

以下、図面を参照して本発明に係る半導体集積回路装置の実施例を説明する。

第2図は本発明の半導体集積回路装置の一実施

例によれば、複数の出力回路 $OC$ を所定数のブロック $B$ に分割して多大電流による出力信号のノイズを防止するようにした半導体集積回路装置であって、前記各ブロック $B$ 内における出力回路 $OC$ のソースに対して該各ブロック $B$ 毎に電圧を印加する複数の第1の電源供給端子 $PS_1$ と、前記複数の出力回路 $OC$ を含む基板に対して前記第1の電源供給端子 $PS_1$ と同電位の電圧を共通に印加して基板電位を固定する第2の電源供給端子 $PS_2$ とが集積回路チップ上にそれぞれ独立して設けられていることを特徴とする半導体集積回路装置が提供される。

(作用)

本発明の半導体集積回路装置によれば、複数の出力回路 $OC$ を分割したブロック $B$ の数に対応した複数の第1の電源供給端子 $PS_1$ により各ブロック $B$ 内における出力回路 $OC$ のソースに対して電圧(駆動用電圧)が印加される。また、複数の出力回路 $OC$ を含む基板(ウェル)に対しては、第1の

(8)

例を示す回路図である。同図に示されるように、本実施例の半導体集積回路装置は、第6図の従来の半導体集積回路装置と同様に、例えば、8つの出力回路 $OC_{0,1} \sim OC_{0,8}$ ,  $OC_{1,1} \sim OC_{1,8}$ , ...をそれぞれ1つのブロック $B_{0,1}$ ,  $B_{1,1}$ , ...として分割するようになされている。これにより、本実施例の半導体集積回路装置は、従来の半導体集積回路装置と同様に、複数の出力回路の端子(出力パッド)が同時に変化する場合でも、1つの電源に瞬時に流れる電流をブロックに対応させて分割し、ノイズの発生を防ぐことができる。しかし、本実施例の半導体集積回路装置と従来の半導体集積回路装置とは、基板電位固定用電圧の構成が全く異なっている。

すなわち、第2図から明らかなように、本実施例の半導体集積回路装置は、例えば、ブロック $B_{0,1}$ における出力回路 $OC_{0,1} \sim OC_{0,8}$ のソースおよびブロック $B_{1,1}$ における出力回路 $OC_{1,1} \sim OC_{1,8}$ のソースに対しては、それぞれ各ブロックに専用のソース用電圧(電源) $V_{cc0,1}$ ,  $V_{cc0,2}$ および $V_{cc1,1}$ ,  $V_{cc1,2}$ が印加され、且つ、出力回路 $OC_{0,1} \sim OC_{0,8}$ ,  $OC_{1,1} \sim OC_{1,8}$ ,

(9)

(10)

…を含む基板（またはウェル）に対しては、ソース用電源と同電位の電圧を共通に印加する基板電位固定用電圧（電源） $V_{cc2}$ 、 $V_{ss2}$ が共通に印加される。すなわち、例えば、インパークで構成された出力回路 $OC_{11}$ において、該インパークを構成するP型およびN型トランジスタのソースに印加される電圧はソース用電圧  $V_{cc1}$ および $V_{ss1}$ とされ、各トランジスタの基板（またはウェル）に印加される電圧は基板電位固定用電圧 $V_{cc2}$ および $V_{ss2}$ とされることになる。

第3図は第2図の半導体集積回路装置を説明するための回路図である。同図に示されるように、各出力回路( $OC_{11}$ )の端子（例えば、出力パッド $OP_{11}$ ）には、静電気の過電圧を電源 $V_{cc2}$ および $V_{ss2}$ に流すためのダイオードDcおよびDsが設けられている。本実施例の半導体集積回路装置では、例えば、出力パッド $OP_{11}$ に印加されたプラスの静電気は、ダイオードDcを介して基板電位固定用電圧 $V_{cc2}$ の共通配線PLcに伝えられて電源 $V_{cc2}$ に流れると共に、この共通配線PLcから各出力パッド

に付加された容量分を介して電流が流れるようになされている。ここで、例えば、出力パッド $OP_{11}$ に印加された静電気が共通配線PLcを介して流れることになる付加容量は、出力パッド $OP_{11}$ と同一ブロックB<sub>1</sub>内の出力パッド $OP_{12}$ ～ $OP_{1n}$ だけのものではなく、他のブロックB<sub>2</sub>内の出力パッド $OP_{21}$ ～ $OP_{2n}$ 、…等の全ての出力パッドに付加する容量分を含めたものとなるため、第6図の半導体集積回路装置と比較して静電気に対する耐圧を大幅に強化することができる。また、各出力パッドの付加容量分としては、それぞれの出力パッドに設けられた静電破壊防止用ダイオードによるもの以外に、パッド自体や配線等に寄生する容量成分を含むのはもちろんである。

このように、本実施例の半導体集積回路装置は、複数の出力回路を所定数のブロックに分割してそれぞれ専用のソース用電源を設け、該ソース用電源と基板電位固定用電源とを同電位だけでも別電源とすることによって、多大電流による出力信号のノイズを防止すると共に、出力端子の静電気

(11)

(12)

耐圧を増大することができる。

第4図は第2図の半導体集積回路装置の出力部を示す図であり、同図(a)は断面図を示し、同図(b)は平面図を示している。

第4図(a)から明らかなように、出力部は、例えば、P型半導体基板116に形成されたn<sup>+</sup>ウェル115内に、出力パッド $OP_{11}$ に接続されたP<sup>+</sup>不純物領域（出力回路のトランジスタのドレイン領域D）112と、基板電位（ウェル電位）を固定するための基板電位固定用電圧 $V_{cc2}$ が印加されたn<sup>+</sup>基板コンタクト領域111、114と、出力回路( $OC_{11}$ )を駆動するためのソース用電圧 $V_{cc1}$ が印加されたP<sup>+</sup>不純物領域（出力回路のトランジスタのソース領域S）113とで構成されている。そして、第4図(b)に示されるように、ドレイン領域112と出力パッド $OP_{11}$ 、基板コンタクト領域111、114と基板電位固定用電圧 $V_{cc2}$ 、および、ソース領域113とソース用電圧 $V_{cc1}$ がそれぞれアルミ配線で接続されている。

第2図を参照して説明したように、ソース用電

圧 $V_{cc1}$ は、ブロックB<sub>1</sub>における出力回路 $OC_{11}$ ～ $OC_{1n}$ のソースに印加され、また、ソース用電圧 $V_{cc2}$ は、ブロックB<sub>2</sub>における出力回路 $OC_{21}$ ～ $OC_{2n}$ のソースに印加され、これによって、多大電流による出力信号のノイズを防止するようになされている。さらに、基板電位固定用電圧 $V_{cc2}$ は、全てのブロックB<sub>1</sub>、B<sub>2</sub>…の出力回路 $OC_{11}$ ～ $OC_{1n}$ 、 $OC_{21}$ ～ $OC_{2n}$ …の基板（ウェル）に対して印加され、これによって、或る出力パッドに印加された静電気を基板電位固定用電圧 $V_{cc2}$ の共通配線PLcを介して複数の出力回路 $OC_{11}$ ～ $OC_{1n}$ 、 $OC_{21}$ ～ $OC_{2n}$ …の端子（出力パッド） $OP_{11}$ ～ $OP_{1n}$ 、 $OP_{21}$ ～ $OP_{2n}$ …に付加された容量分 $C_{11}$ ～ $C_{1n}$ 、 $C_{21}$ ～ $C_{2n}$ …に分散して印加し、出力端子の静電気耐圧を増大するようになされている。以上の説明において、ソース用電源および基板電位固定用電源は、高電位の電源  $V_{cc1}$ 、 $V_{cc2}$  および $V_{cc2}$ について説明したが、低電位の電源 $V_{ss1}$ 、 $V_{ss2}$  および $V_{ss2}$ についても同様である。

第5図は本発明の半導体集積回路装置における

(13)

(14)

電源のボンディングを説明するための図である。

第5図(a)に示されるように、パッケージ内において、チップ200側のソース用電源(Vccs)のパッド201および基板電位固定用電圧(Vccs)のパッド202は、それぞれ専用のポスト203および204にボンディングするように構成してもよいが、第5図(b)に示されるように、ソース用電源のパッド201および基板電位固定用電圧のパッド202を、共通のポスト205にボンディングするように構成することもできる。

#### (発明の効果)

以上、詳述したように、本発明の半導体集積回路装置は、複数の出力回路を所定数のブロックに分割してそれぞれ専用のソース用電源を設け、該ソース用電源と基板電位固定用電源とを同電位だけれども別電源とすることによって、多大電流による出力信号のノイズを防止すると共に、出力端子の静電気耐圧を増大することができる。

(15)

PL…第2の電源供給端子の共通配線、  
PS<sub>1</sub>…第1の電源供給端子、  
PS<sub>2</sub>…第2の電源供給端子。

特許出願人

富士通株式会社

特許出願代理人

弁理士 青木 朗  
弁理士 石田 敬  
弁理士 平岩 賢三  
弁理士 山口 昭之  
弁理士 西山 雅也

(17)

#### 4. 図面の簡単な説明

第1図は本発明に係る半導体集積回路装置の原理を示すブロック回路図、

第2図は本発明の半導体集積回路装置の一実施例を示す回路図、

第3図は第2図の半導体集積回路装置を説明するための回路図、

第4図は第2図の半導体集積回路装置の出力部を示す図、

第5図は本発明の半導体集積回路装置における電源のボンディングを説明するための図、

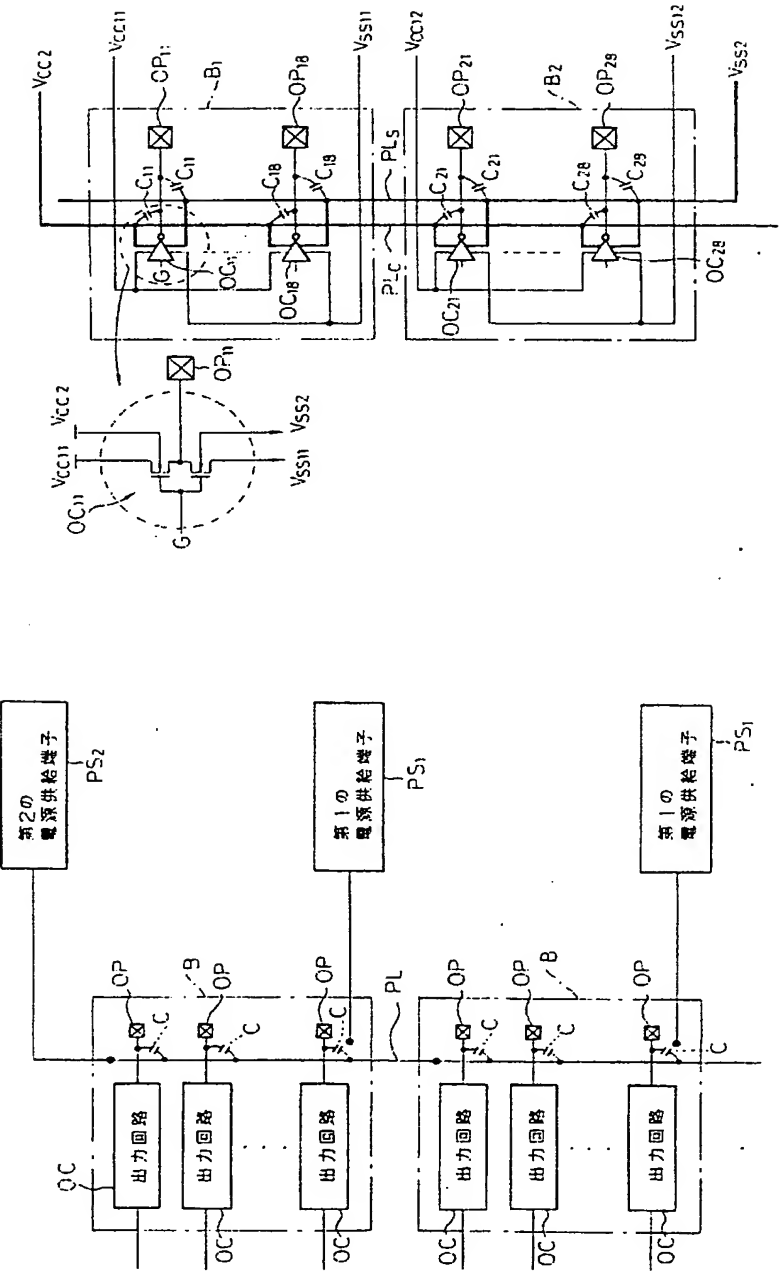
第6図は従来の半導体集積回路装置の一例を示す図、

第7図は第6図の半導体集積回路装置の出力部を示す断面図である。

#### (符号の説明)

B…ブロック、  
C…付加容量分、  
OC…出力回路、  
OP…出力パッド、

(16)



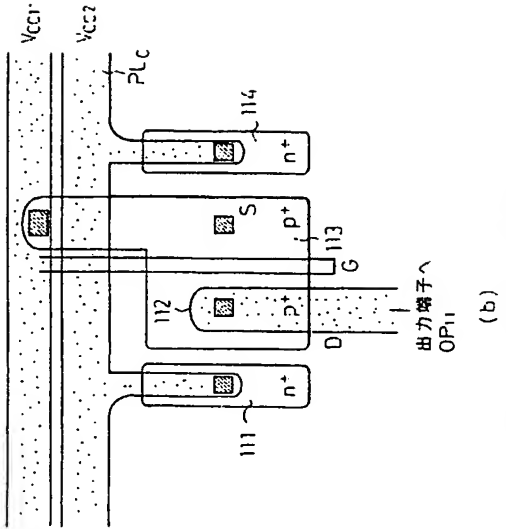
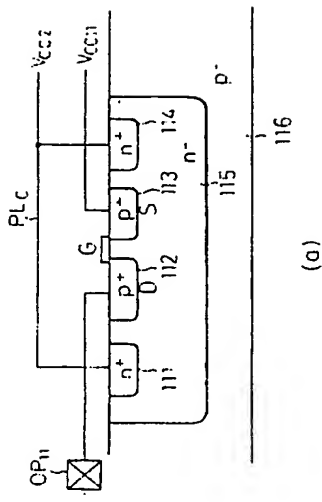
本発明に係る半導体集積回路装置の原理を示すブロック回路

第 1 図

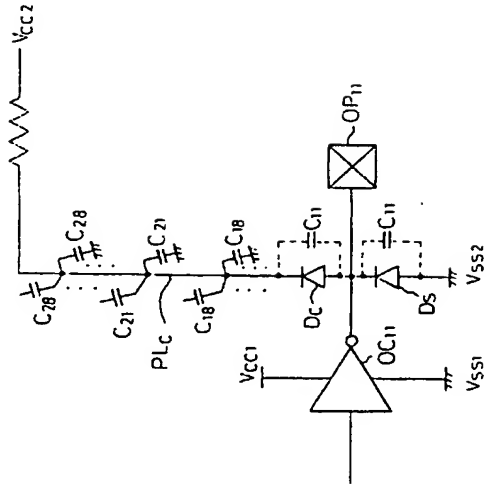
本発明の半導体集積回路装置の一実施例を示す回路図

第 2 図





第2図の半導体集積回路装置の出力部を示す図  
第4図



第2図の半導体集積回路装置を説明するための回路図  
第3図

Docket # P20010034

Applic. # \_\_\_\_\_

Applicant: Lerner and Greenberg, P.A.

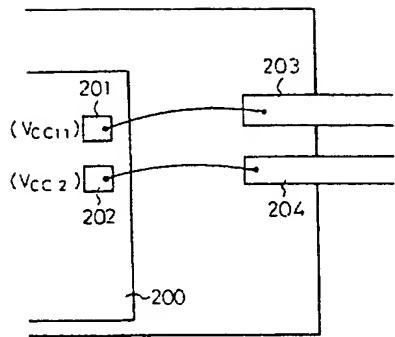
Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

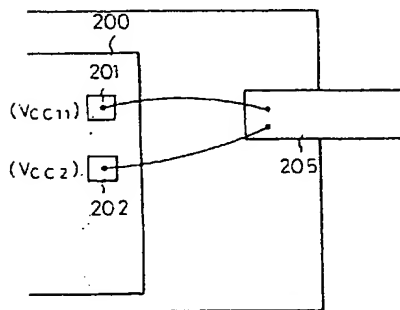
Tel: (954) 925-1100 Fax: (954) 925-1101

特開平 3-156965(8)



(a)

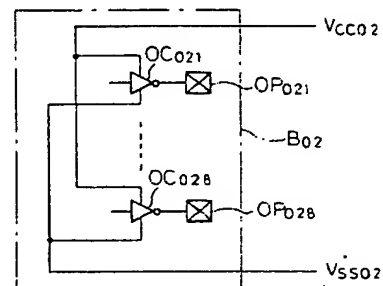
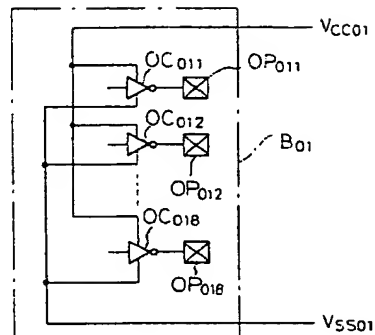
200...チップ  
204, 205...パッケージ



(b)

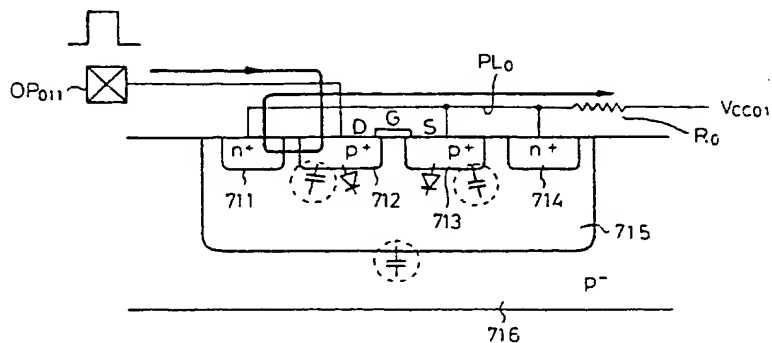
本発明の半導体集積回路装置における  
電源のボンディングを説明するための図

第 5 図



従来の半導体集積回路装置の一例を示す回路図

第 6 図



第6図の半導体集積回路装置の出力部を示す断面図

第 7 図